(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년06월02일
(11) 등록번호 10-0834663
(24) 등록일자 2008년05월27일

(51) Int. Cl.
*H03M 13/41* (2006.01)
(21) 출원번호 10-2002-0012966
(22) 출원일자 2002년03월11일
심사청구일자 2007년03월12일
(65) 공개번호 10-2003-0073415
(43) 공개일자 2003년09월19일
(56) 선행기술조사문헌
JP2001320284 A

(73) 특허권자
**삼성전자주식회사**
경기도 수원시 영통구 매탄동 416
(72) 발명자
**김승기**
경기도수원시팔달구영통동신나무실주공5단지517동1204호
**남해운**
경기도부천시원미구상1동반달마을1816동805호
(74) 대리인
**이건주**

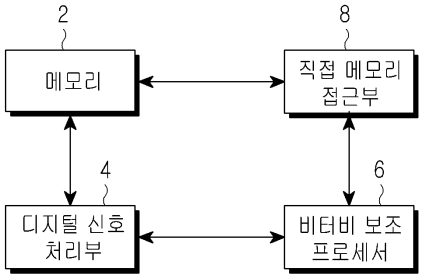
전체 청구항 수 : 총 4 항 심사관 : 류동현

## (54) 직접 메모리 접근을 이용한 비터비 복호기 및 비터비 복호 방법

*(57) 요 약*

본 발명은 비터비 복호기에 있어서, 직접 메모리 접근을 이용하여 부호화된 데이터를 복호하는 비터비 복호기를 제공한다. 이를 위한 본 발명은 부호화된 데이터를 복호하는 비터비 복호기에 있어서, 상기 부호화된 데이터 및 상기 부호화된 데이터로부터 복호된 데이터를 저장하는 메모리와, 소정 제어에 의해 상기 부호화된 데이터를 복호하는 비터비 보조 프로세서와, 상기 부호화된 데이터를 상기 비터비 보조 프로세서로 전송하고 상기 복호된 데이터를 상기 메모리로 전송하는 직접 메모리 접근부와, 상기 부호화된 데이터를 복호하기 위해 상기 비터비 보조 프로세서를 제어하는 디지털 신호 처리부를 구비함을 특징으로 한다.

*대표도* - 도3



## 특허청구의 범위

### 청구항 1

부호화된 데이터를 복호하는 비터비 복호기에 있어서,

상기 부호화된 데이터 및 상기 부호화된 데이터로부터 복호된 데이터를 저장하는 메모리와,

소정 제어에 의해 상기 부호화된 데이터를 복호하는 비터비 보조 프로세서와,

상기 부호화된 데이터를 상기 메모리에서 상기 비터비 보조 프로세서로 전송하고, 상기 비터비 보조 프로세서에 의해 복호된 데이터를 상기 메모리로 전송하는 직접 메모리 접근부와,

상기 부호화된 데이터를 복호하기 위해 상기 비터비 보조 프로세서를 제어하는 디지털 신호 처리부를 구비함을 특징으로 하는 직접 메모리 접근을 이용한 비터비 복호기.

### 청구항 2

제 1항에 있어서, 상기 디지털 처리부는,

상기 비터비 보조 프로세서가 상기 복호를 수행하는 동안 상기 복호 외의 독립적인 동작을 수행하는 것을 특징으로 하는 직접 메모리 접근을 이용한 비터비 복호기.

### 청구항 3

부호화된 데이터 및 복호된 데이터를 저장하는 메모리와, 상기 부호화된 데이터를 복호하는 비터비 보조 프로세서와, 상기 부호화된 데이터를 상기 비터비 보조 프로세서로 전송하고 상기 비터비 보조 프로세서에서 복호된 데이터를 상기 메모리로 전송하는 직접 메모리 접근부와, 상기 부호화된 데이터를 복호하기 위해 상기 비터비 보조 프로세서를 제어하는 디지털 신호 처리부를 구비한 비터비 복호기에서, 상기 부호화된 데이터를 복호하는 방법에 있어서,

상기 디지털 신호 처리부가 상기 비터비 보조 프로세서에 비터비 복호를 요청하는 과정과,

상기 비터비 보조 프로세서가 상기 직접 메모리 접근부를 통해 상기 부호화된 데이터를 수신하여 복호하는 과정과,

상기 비터비 보조 프로세서가 상기 직접 메모리 접근부를 통해 상기 복호된 데이터를 상기 메모리에 저장하는 과정과,

상기 디지털 신호 처리부가 상기 비터비 복호를 종료하는 과정을 구비함을 특징으로 하는 비터비 복호 방법.

### 청구항 4

제 3항에 있어서, 상기 디지털 신호 처리부가 상기 비터비 복호를 종료하는 과정은,

상기 비터비 보조 프로세서로부터 상기 복호 과정이 완료되었음을 알리는 인터럽트를 수신하면, 상기 비터비 보조 프로세서가 상기 메모리에 상기 부호화된 데이터가 복호되었음을 지시하는 특정 비트를 설정했는지를 검사하고, 상기 특정 비트가 설정되었으면, 상기 비터비 복호를 종료하는 것을 특징으로 하는 비터비 복호 방법.

## 명 세 서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

<6> 본 발명은 비터비 복호기에 관한 것으로, 특히 직접 메모리 접근을 이용하여 부호화된 데이터를 복호하는 비터비 복호기 및 비터비 복호 방법에 관한 것이다.

<7> 통상적으로 이동 통신 시스템에 사용되는 베이스 밴드(Base Band) 모뎀 칩의 물리 계층(Physical Layer)을 처리하는 부분은 신호를 송수신하는 송신부와 수신부로 구성된다. 수신부에는 채널의 왜곡을 보상하는 등화기

(Equalizer)와 부호화(Encoding)된 데이터를 복호(Decoding)하는 복호기(Decoder)가 필수적이다. 이러한 등화기와 복호기는 채널 상에서 발생된 컨볼루션(Convolution) 부호화 데이터의 에러를 보상하기 위해 사용된다. 위와 같은 이동 통신 시스템에서는 비터비 알고리즘을 사용하는 비터비 복호기가 주로 사용된다.

<8> 위와 같은 이동 통신 시스템에 사용되는 비터비 복호기는 도 1에 도시된 바와 같이 메모리(2), 디지털 신호 처리부(4)(Digital Signal Processor : DSP)(4), 비터비 보조 프로세서(6)(Virterbi Co Processor)(6)로 구성된다.

<9> 상기 메모리(2)는 읽기 및 쓰기가 가능한 메모리(Random Access Memory : RAM)이며, 컨볼루션 부호화된 데이터를 저장하고 있다. 상기 부호화된 데이터는 심볼(Symbol) 또는 샘플(Sample) 단위로 저장된다.

<10> 상기 디지털 신호 처리부(4)는 부호화된 데이터를 복호하기 위해 비터비 보조 프로세서(6)를 제어한다. 그리고 메모리(2)에 저장된 부호화된 데이터를 비터비 보조 프로세서(6)로 전송하며, 비터비 보조 프로세서(6)에서 복호된 데이터를 메모리(2)에 저장한다.

<11> 상기 비터비 보조 프로세서(6)는 디지털 신호 처리부(4)의 제어에 의해 부호화된 데이터를 복호한다. 비터비 보조 프로세서(6)는 부호화된 데이터를 심볼 또는 샘플 단위로 복호한다.

<12> 위와 같이 구성된 비터비 복호기를 도 2를 참조하여 구체적으로 설명하면 다음과 같다.

<13> 먼저, 상기 디지털 신호 처리부(4)는 12단계에서 메모리(2)로부터 복호할 데이터를 읽어온다. 이 후, 디지털 신호 처리부(4)는 14단계에서 비터비 보조 프로세서(6)에 복호 준비 상태를 확인하는 폴링(Polling) 신호를 인가한다. 이에 비터비 보조 프로세서(6)는 16단계에서 승인(ACK) 신호를 디지털 신호 처리부(4)로 전송한다. 그러면 디지털 신호 처리부(4)는 20단계에서 비터비 보조 프로세서(6)에 부호화된 데이터를 전송한다. 이에 비터비 보조 프로세서(6)는 부호화된 데이터를 비터비 알고리즘을 이용하여 복호한다. 비터비 보조 프로세서(6)는 전술한 바와 같이 부호화된 데이터를 심볼 또는 샘플 단위로 복호한다. 이 후, 디지털 신호 처리부(4)는 20단계에서 비터비 보조 프로세서(6)에 복호 완료 상태를 확인하는 폴링 신호를 인가한다. 이에 비터비 보조 프로세서(6)는 22단계에서 승인 신호를 디지털 신호 처리부(4)로 전송하면, 디지털 신호 처리부(4)는 24단계에서 복호된 데이터를 비터비 보조 프로세서(6)로부터 읽는다. 그리고 디지털 신호 처리부(4)는 26단계에서 복호된 데이터를 메모리(2)에 저장한다. 이 후, 디지털 신호 처리부(4)는  위와 같은 과정을 반복하여 모든 샘플 혹은 심볼들에 대해 비터비 프로세스를 수행하고, 상기 비터비 프로세스의 완료여부를 확인한 후, 다음 작업을 수행한다.

<14> 위와 같은 방법으로 비터비 복호기는 부호화된 데이터를 심볼 또는 샘플 단위로 복호한다.

## *발명이 이루고자 하는 기술적 과제*

<15> 그런데 비터비 복호기의 데이터 복호는 심볼 또는 샘플 단위로 수행되기 때문에, 디지털 신호 처리부가 부호화된 데이터를 메모리로부터 판독하여 비터비 보조 프로세서로 전송한 후에 상기 비터비 보조 프로세서로부터 복호된 데이터를 수신될 때까지 대기해야하는 문제점이 발생한다. 위와 같은 문제점을 해결하기 위해서는 디지털 신호 처리부의 성능을 향상시켜 비터비 보조 프로세서의 복호 동작을 최대한 빨리 종료시켜야 하는데, 이는 비터비 보조 프로세서 회로를 복잡하게 하고, 높은 클럭의 주파수를 사용해야 하는 문제점을 유발시킬 수 있다.

<16> 따라서 본 발명의 목적은 직접 메모리 접근을 이용하여 비터비 보조 프로세서가 메모리에 직접 접근토록 함으로써, 비터비 복호 동작 동안 비터비 보조 프로세서와 디지털 신호 처리부의 동작을 독립적으로 동작하게 하는 비터비 복호기 및 비터비 복호 방법을 제공함에 있다.

## *발명의 구성 및 작용*

<17> 상기 목적을 달성하기 위한 본 발명의 복호 장치는 부호화된 데이터를 복호하는 비터비 복호기에 있어서, 상기 부호화된 데이터 및 상기 부호화된 데이터로부터 복호된 데이터를 저장하는 메모리와, 소정 제어에 의해 상기 부호화된 데이터를 복호하는 비터비 보조 프로세서와, 상기 부호화된 데이터를 상기 비터비 보조 프로세서로 전송하고, 상기 복호된 데이터를 상기 메모리로 전송하는 직접 메모리 접근부와, 상기 부호화된 데이터를 복호하기 위해 상기 비터비 보조 프로세서를 제어하는 디지털 신호 처리부를 구비함을 특징으로 한다.

<18> 상기 목적을 달성하기 위한 본 발명의 복호 방법은 부호화된 데이터 및 복호된 데이터를 저장하는 메모리와, 상기 부호화된 데이터를 복호하는 비터비 보조 프로세서와, 상기 부호화된 데이터를 상기 비터비 보조 프로세서로 전송하고 상기 복호된 데이터를 상기 메모리로 전송하는 직접 메모리 접근부와, 상기 부호화된 데이터를 복호하기 위해 상기 비터비 보조 프로세서를 제어하는 디지털 신호 처리부를 구비한 비터비 복호기에서, 상기 부호화

된 데이터를 복호하는 방법에 있어서, 상기 디지털 신호 처리부가 상기 비터비 보조 프로세서에 비터비 복호를 요청하는 과정과, 상기 비터비 보조 프로세서가 상기 직접 메모리 접근부를 통해 상기 부호화된 데이터를 수신하여 복호하는 과정과, 상기 비터비 보조 프로세서가 상기 직접 메모리 접근부를 통해 상기 복호된 데이터를 상기 메모리에 저장하는 과정과, 상기 디지털 신호 처리부가 상기 비터비 복호를 종료하는 과정을 구비함을 특징으로 한다.

<19> 이하 본 발명에 따른 바람직한 실시 예를 첨부한 도면을 참조하여 상세히 설명한다. 하기의 설명에서는 본 발명에 따른 동작을 이해하는데 필요한 부분만이 설명되고, 그 이외 부분의 설명은 본 발명의 요지를 흩트리지 않도록 생략될 것이라는 것을 유의하여야 한다.

<20> 도 3은 본 발명의 실시 예에 따른 비터비 복호기의 블록 구성도이다. 도 3을 참조하면 비터비 복호기는 메모리(2), 디지털 신호 처리부(4), 비터비 보조 프로세서(6), 직접 메모리 접근부(8)로 구성된다.

<21> 상기 메모리(2)는 전술한 바와 같이 읽기 및 쓰기가 가능한 메모리이며, 컨볼루션 부호화 데이터를 저장하고 있다. 상기 부호화된 데이터는 심볼 또는 샘플 단위로 저장된다.

<22> 상기 디지털 신호 처리부(4)는 부호화된 데이터를 복호하기 위해 비터비 보조 프로세서(6)를 제어한다. 그리고 상기 디지털 신호 처리부(4)는 복호할 데이터의 시작 번지와 길이를 비터비 보조 프로세서(6)에 통지한다.

<23> 상기 비터비 보조 프로세서(6)는 디지털 신호 처리부(4)의 제어에 의해 부호화된 데이터를 심볼 또는 샘플 단위로 복호한다. 또한 비터비 보조 프로세서(6)는 데이터를 복호한 후에 인터럽트(Interrupt)를 발생하여 데이터 복호가 완료되었음을 디지털 신호 처리부(4)에 통지한다. 그리고 비터비 보조 프로세서(6)는 복호 과정이 완료되었을 경우, 메모리(2)에 복호 과정이 완료되었음을 나타내는 특정 비트를 설정한다.

<24> 상기 직접 메모리 접근부(8)는 메모리(2)에 저장되어 있는 부호화된 데이터를 비터비 보조 프로세서(6)로 전송하고, 복호된 데이터를 메모리(2)로 전송한다. 이러한 직접 메모리 접근부(8)는 디지털 신호 처리부(4)를 거치지 않고 메모리(2)와 비터비 보조 프로세서(6)간에 데이터를 직접적으로 통신하게 한다.

<25> 위와 같이 구성된 본 발명에 따른 비터비 복호기를 도 4 및 도 5를 참조하여 구체적으로 설명하면 다음과 같다. 도 4는 본 발명의 실시 예에 따른 비터비 복호기의 데이터 및 신호의 흐름도이고, 도 5는 본 발명의 실시 예에 따른 비터비 복호 방법의 제어 흐름도이다.

<26> 먼저 비터비 복호가 시작되면 디지털 신호 처리부(4)는 52단계에서 비터비 보조 프로세서(6)가 복호 준비가 되었는지 확인하고, 데이터 복호를 요구하는 요청 신호(Request, S1)를 비터비 보조 프로세서(6)에 전송한다. 그리고 디지털 신호 처리부(4)는 54단계에서 비터비 보조 프로세서(6)로부터 복호 확인 신호(Confirm, S2)가 수신되는지를 검사한다. 비터비 보조 프로세서(6)로부터 복호 확인 신호(Confirm, S2)가 수신되면 디지털 신호 처리부(4)는 56단계에서 복호할 데이터의 시작 번지와 총 길이 정보를 포함하는 신호(S3)를 비터비 보조 프로세서(6)에 전송한다. 그러면 비터비 보조 프로세서(6)는 부호화된 데이터를 직접 메모리 접근부(8)에 요청하고(S4), 이에 직접 메모리 접근부(8)는 시작 번지와 길이에 근거하여 메모리에 저장된 부호화된 데이터(D1)를 비터비 보조 프로세서(6)에 전송한다. 이로써 비터비 보조 프로세서(6)는 부호화된 데이터를 복호할 수 있다. 이 후, 비터비 보조 프로세서(6)는 복호된 데이터(D2)를 직접 메모리 접근부(8)를 통하여 메모리(2)에 저장한다.

<27> 위와 같이 비터비 보조 프로세서(6)는 직접 메모리 접근부(8)를 통해 메모리(2)로부터 부호화된 데이터를 직접 판독할 수 있으며, 복호가 완료된 후에는 복호된 데이터를 디지털 신호 처리부(4)와의 인터페이스 없이 메모리(2)에 직접 저장할 수 있다. 이러한 비터비 보조 프로세서(6)는 전술한 바와 같이 심볼 또는 샘플 단위로 복호를 실시한다.

<28> 한편 디지털 신호 처리부(4)는 비터비 보조 프로세서(6)가 복호 동작을 수행하는 동안 58단계에서 복호 동작 외의 다른 독립적인 동작을 수행하거나 IDLE 상태를 유지한다. 그리고 비터비 보조 프로세서(6)는 복호 과정이 완료된 후에 복호가 완료되었음을 알리는 특정 비트를 메모리(4)에 설정하고, 복호가 완료되었음을 알리는 인터럽트를 포함한 지시 신호(Indication, S4)를 디지털 신호 처리부(4)에 전송한다. 이에 디지털 신호 처리부(4)는 지시 신호(Indication, S4)가 수신되었을 경우, 60단계에서 지시 신호(Indication, S4)에 대한 응답 신호(Response, S5)를 비터비 보조 프로세서(6)에 전송한 후, 62단계에서 상기 메모리(2)에 설정된 특정 비트를 검사하고, 메모리에 저장된 데이터가 복호 되었는지를 검사한 후, 복호를 종료한다.

<29> 위와 같은 방법으로 부호화된 데이터를 복호하면 디지털 신호 처리부는 데이터의 시작 번지와 총 길이를 비터비 보조 프로세서에 전송한 후에 비터비 보조 프로세서와의 인터페이스(Interface)를 실시하지 않음으로써, 디지털

신호 처리부는 독립적으로 주파수 오류 보정 및 DC 옵셋 등의 동작을 수행하거나, IDLE 상태를 유지할 수 있다.

<30> 상술한 본 발명에서는 구체적인 실시 예에 관해 설명하였으나, 여러 가지 변형이 본 발명의 범위에서 벗어나지 않고 실시할 수 있다. 따라서 발명의 범위는 설명된 실시 예에 의하여 정할 것이 아니고 특허 청구 범위와 특허 청구 범위의 균등한 것에 의해 정하여져야 한다.

## 발명의 효과

<31> 상기한 바와 같이 직접 메모리 접근을 이용하여 데이터 복호를 수행함으로써, 비터비 보조 프로세서와 디지털 신호 처리부와 간에 송수신되는 제어 신호를 최소화하고, 비터비 보조 프로세서가 동작하는 동안 디지털 신호 처리부가 기타 다른 독립적인 동작을 수행하도록 하여 디지털 신호 처리부의 부하를 낮출 수 있는 효과가 있다.

<32> 그리고, 상기 디지털 신호 처리부의 부하를 낮춤으로써, 구동 클럭의 주파수를 낮추거나 클럭을 공급받지 않는 IDLE 상태 시간을 연장시켜서 소비 전력을 낮출 수 있는 장점이 있다.

<33> 또한 비터비 보조 프로세서는 디지털 신호 처리부로부터 시작 번지 값을 수신한 후, 다음 시작 번지 값을 수신할 때까지 데이터 복호 과정을 완료하면 되므로 처리 속도를 크게 낮춘다 하더라도, 디지털 신호 처리부의 전체 성능에는 영향을 미치지 않게 된다. 따라서 비터비 보조 프로세서의 처리 속도를 높이기 위해 고안된 회로들을 제거하여 회로가 간단해질 수 있는 잇점과, 동작 클럭의 주파수를 낮출 수 있는 잇점이 있다.

## 도면의 간단한 설명

<1> 도 1은 종래 비터비 복호기의 블록 구성도,

<2> 도 2는 종래 비터비 복호기의 데이터 흐름도,

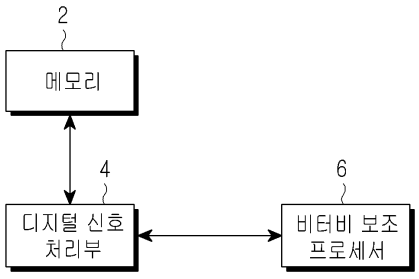
<3> 도 3은 본 발명의 실시 예에 따른 비터비 복호기의 블록 구성도,

<4> 도 4는 본 발명의 실시 예에 따른 비터비 복호기의 데이터 및 신호의 흐름도,

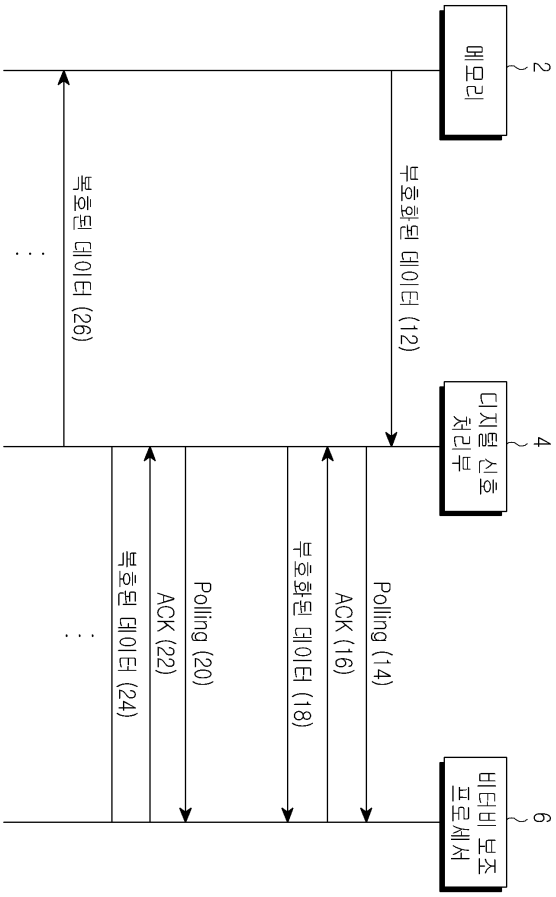
<5> 도 5는 본 발명의 실시 예에 따른 비터비 복호 방법의 제어흐름도.

## 도면

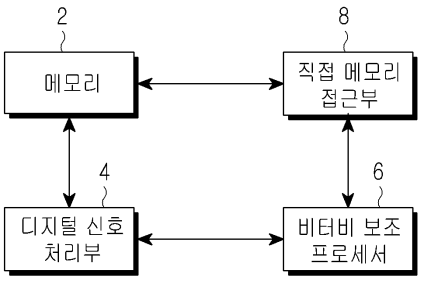
### 도면1



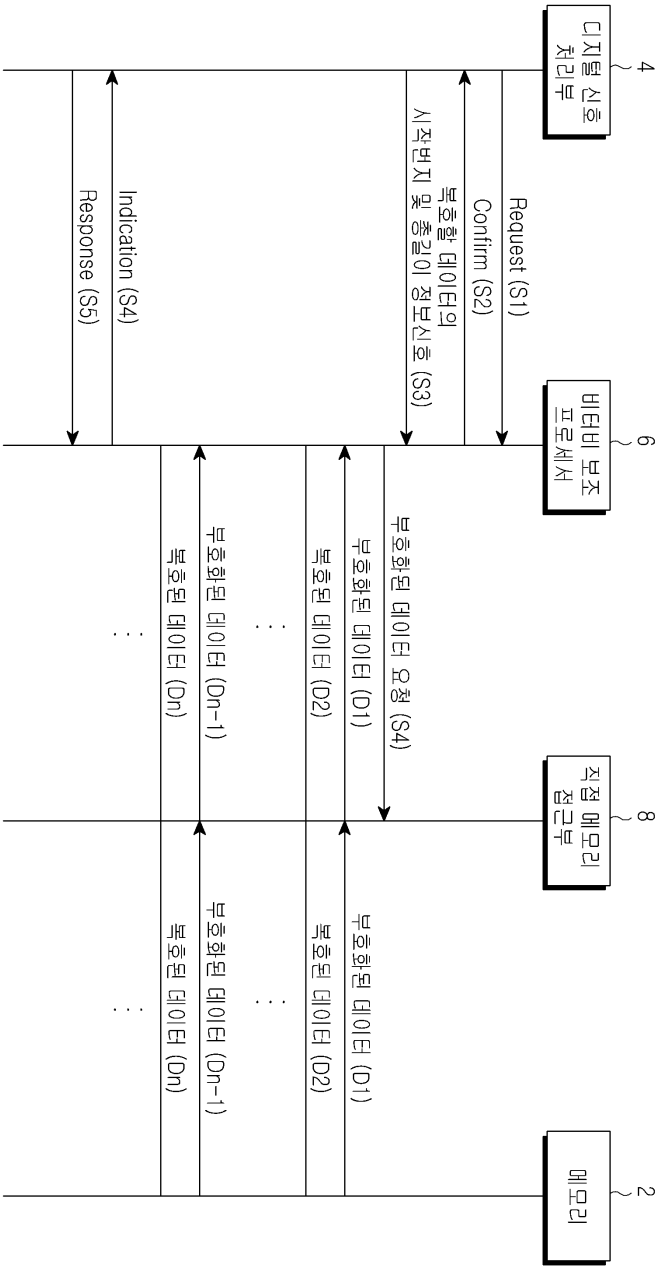
도면2


메모리
2
디지털 신호 처리부
4
비터비 보조 프로세서
6
복호된 데이터 (26)
부호화된 데이터 (12)
복호된 데이터 (24)
ACK (22)
Polling (20)
부호화된 데이터 (18)
ACK (16)
Polling (14)

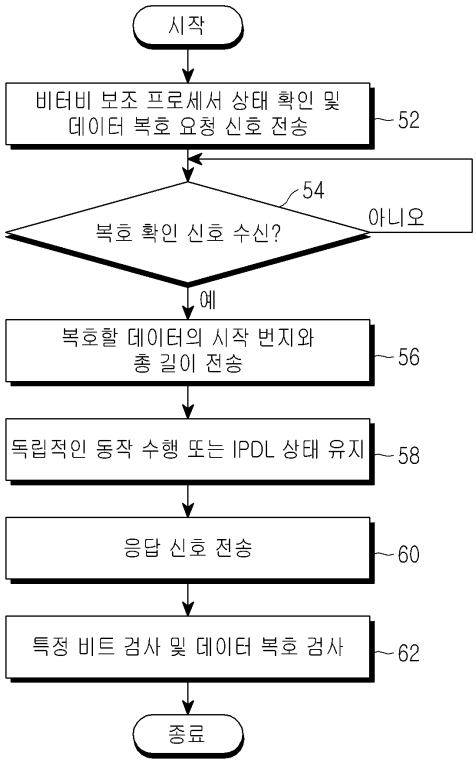
도면3


2
메모리
8
직접 메모리 접근부
4
디지털 신호 처리부
6
비터비 보조 프로세서

도면4


디지털 신호 처리부
4
비터비 보조 프로세서
6
직접 메모리 접근부
8
메모리
2
Request (S1)
Confirm (S2)
복호할 데이터의 시작번지 및 총길이 정보신호 (S3)
부호화된 데이터 요청 (S4)
부호화된 데이터 (D1)
복호된 데이터 (D2)
부호화된 데이터 (Dn-1)
복호된 데이터 (Dn)
Indication (S4)
Response (S5)

도면5


시작
비터비 보조 프로세서 상태 확인 및 데이터 복호 요청 신호 전송
52
54
복호 확인 신호 수신?
아니오
예
복호할 데이터의 시작 번지와 총 길이 전송
56
독립적인 동작 수행 또는 IPDL 상태 유지
58
응답 신호 전송
60
특정 비트 검사 및 데이터 복호 검사
62
종료